

Attorney Docket No.: 2102475-992030

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Honjoh, et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: March 18, 2004

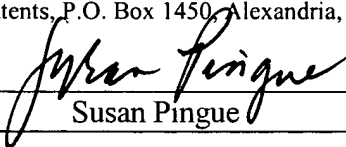
Examiner: Not yet assigned

Title: SEMICONDUCTOR DEVICE INCLUDING A PROTECTION CIRCUIT

EXPRESS MAIL NUMBER: EV 302280160 US

DATE OF DEPOSIT: March 18, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-378630	November 7, 2003

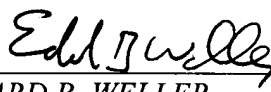
Attorney Docket No.: 2102475-992030

The certified copy of the corresponding Convention Application is enclosed.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: March 18, 2004

By 
EDWARD B. WELLER
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
Palo Alto, CA 94303-2248
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 7 日
Date of Application:

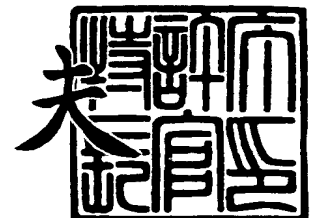
出 願 番 号 特 願 2 0 0 3 - 3 7 8 6 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 7 8 6 3 0]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000304275
【提出日】 平成15年11月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 23/56
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 本庄 敦
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 平岡 孝之
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体集積回路を静電放電から保護するための保護回路を備えた半導体装置であって、前記保護回路が、
前記静電放電を検知する検知回路と、
前記検知回路の出力にもとづいてトリガー信号を生成するトリガー回路と、
前記半導体装置の第 1 の端子にエミッタが接続された PNP トランジスタと、前記半導体装置の第 2 の端子にエミッタが接続され、前記 PNP トランジスタのベースにコレクタが接続された NPN トランジスタとを有し、前記トリガー回路からの前記トリガー信号により動作するサイリスタ部と、
前記 PNP トランジスタおよび前記 NPN トランジスタ間の接続を、前記検知回路の出力に応じて制御するスイッチング素子と
を具備して構成されていることを特徴とする半導体装置。

【請求項 2】

前記検知回路は、前記半導体装置の第 1 の端子と第 2 の端子との間に接続され、その中間端子より前記出力が取り出される、抵抗素子と MOS (Metal Oxide Semiconductor) キャパシタとからなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記トリガー回路は、前記半導体装置の第 1 の端子にソースが接続された第 1 の MOS (Metal Oxide Semiconductor) トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 1 の MOS トランジスタとドレインが共通接続された第 2 の MOS トランジスタとから構成され、各ゲートには前記検知回路からの出力が入力されるインバータ回路であり、前記共通接続されたドレインから前記トリガー信号を前記 NPN トランジスタのベースに供給することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記トリガー回路は、前記半導体装置の第 1 の端子にソースが接続された第 1 の MOS (Metal Oxide Semiconductor) トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 1 の MOS トランジスタとドレインが共通接続された第 2 の MOS トランジスタとから構成され、各ゲートには前記検知回路からの出力が入力される第 1 のインバータ回路と、前記半導体装置の第 1 の端子にソースが接続された第 3 の MOS トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 3 の MOS トランジスタとドレインが共通接続された第 4 の MOS トランジスタとから構成され、各ゲートには前記第 1 のインバータ回路における共通接続されたドレインからの出力が入力される第 2 のインバータ回路とを備え、

前記第 2 のインバータ回路における共通接続されたドレインから前記トリガー信号を前記 PNP トランジスタのベースに供給することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記トリガー回路は、前記半導体装置の第 1 の端子にソースが接続された第 1 の MOS (Metal Oxide Semiconductor) トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 1 の MOS トランジスタとドレインが共通接続された第 2 の MOS トランジスタとから構成され、各ゲートには前記検知回路からの出力が入力される第 1 のインバータ回路と、前記半導体装置の第 1 の端子にソースが接続された第 3 の MOS トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 3 の MOS トランジスタとドレインが共通接続された第 4 の MOS トランジスタとから構成され、各ゲートには前記第 1 のインバータ回路における共通接続されたドレインからの出力が入力される第 2 のインバータ回路とを備え、

前記第 2 のインバータ回路における共通接続されたドレインから前記トリガー信号を前

記 N P N トランジスタのベースに供給することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記トリガー回路は、前記半導体装置の第 1 の端子にソースが接続された第 1 の MOS (Metal Oxide Semiconductor) トランジスタと、前記半導体装置の第 2 の端子にソースが接続され、前記第 1 の MOS トランジスタとドレインが共通接続された第 2 の MOS トランジスタとから構成され、各ゲートには前記検知回路からの出力が入力されるインバータ回路であり、前記共通接続されたドレインから前記トリガー信号を前記 P N P トランジスタのベースに供給することを特徴とする請求項 1 に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、保護回路を備えた半導体装置に関するもので、特に、半導体集積回路を静電放電 (Electrostatic Discharge (ESD)) から保護する AC トリガー切断型サイリスタが設けられた集積回路装置に関するものである。

【背景技術】

【0002】

通常、集積回路装置には、同一基板上に、半導体集積回路を静電放電から保護する静電放電保護回路 (以下、ESD 保護回路と略記する) が設けられている (たとえば、非特許文献 1 参照)。

【0003】

図 9 は、従来の、ESD 保護回路が設けられた集積回路装置の基本構成を示すものである。図 9 に示すように、電源端子 (電源 PAD) 11 およびグランド端子 (GND-PAD) 12 の相互間には、保護対象となる半導体集積回路 (被保護素子) 20 が接続されている。また、上記電源 PAD 11 と上記 GND-PAD 12 との間には、この半導体集積回路 20 と並列に、ESD 保護回路 30 および保護ダイオード 40 が接続されている。また、上記半導体集積回路 20 と上記 ESD 保護回路 30 との間には、それぞれ、電源配線抵抗 R1 およびグランド配線抵抗 R2 が挿入されている。

【0004】

上記 GND-PAD 12 を基準に、上記電源 PAD 11 と上記 GND-PAD 12 との間に供給された正の ESD サージ電流は、上記 ESD 保護回路 30 によって放電される。また、負の ESD サージ電流は、上記保護ダイオード 40 によって放電される。

【0005】

図 10 は、上記した従来の ESD 保護回路 30 の構成例を示すものである。この ESD 保護回路 30 は、CR 積分回路 31、トリガー回路 32、および、サイリスタ 33 を有して構成されている。

【0006】

上記 CR 積分回路 31 において、抵抗素子 (R) 31a は、たとえば P 型半導体基板 (33-1) 上に形成された $1\text{M}\Omega$ の抵抗値を有する N-well 抵抗である。容量素子 (C) 31b は、たとえば 6pF の容量値を有する MOS (Metal Oxide Semiconductor) キャパシタである。この 2 素子 31a, 31b からなる上記 CR 積分回路 31 の一端、たとえば上記抵抗素子 31a の一端は、上記電源 PAD 11 に接続されている。上記抵抗素子 31a の他端は、上記容量素子 31b の一端 (一方の電極) に接続されている。上記 CR 積分回路 31 の他端、たとえば上記容量素子 31b の他端 (他方の電極) は、上記 GND-PAD 12 に接続されている。そして、上記抵抗素子 31a と上記容量素子 31b との接続点である上記 CR 積分回路 31 の出力端 (中間端子) は、上記トリガー回路 32 の入力端に接続されている。

【0007】

上記トリガー回路 32 は、たとえば、Pチャネル MOS (PMOS) トランジスタ 32a と Nチャネル MOS (NMOS) トランジスタ 32b とからなる CMOS (Complementary MOS) インバータ回路によって構成されている。このトリガー回路 32 の、上記 PMOS トランジスタ 32a のソースは、上記電源 PAD 11 に接続されている。上記 NMOS トランジスタ 32b のソースは、上記 GND-PAD 12 に接続されている。また、上記 PMOS トランジスタ 32a および上記 NMOS トランジスタ 32b の各ゲート電極 (入力端) には、上記 CR 積分回路 31 の出力端が接続されている。そして、上記 PMOS トランジスタ 32a および上記 NMOS トランジスタ 32b の各ドレイン電極が共通に接続された、上記トリガー回路 32 の出力端は、上記サイリスタ 33 に接続されている。

【0008】

なお、上記PMOSトランジスタ32aは、たとえば、ゲート幅(W)が $40\mu\text{m}$ 、ゲート長(L)が $0.2\mu\text{m}$ 、ゲート酸化膜の膜厚(T_{ox})が 3nm 、しきい値電圧(V_{th})が -0.4V とされている。一方、上記NMOSトランジスタ32bは、たとえば、ゲート幅(W)が $20\mu\text{m}$ 、ゲート長(L)が $0.2\mu\text{m}$ 、ゲート酸化膜の膜厚(T_{ox})が 3nm 、しきい値電圧(V_{th})が 0.4V とされている。

【0009】

上記サイリスタ33は、たとえば、PNPトランジスタ33a、NPNトランジスタ33b、および、抵抗素子33cによって構成されている。上記サイリスタ33において、上記トリガー回路32の出力端は、上記PNPトランジスタ33aのコレクタ、上記NPNトランジスタ33bのベース、および、上記抵抗素子33cの一端に接続されている。上記PNPトランジスタ33aのエミッタは上記電源PAD11に接続され、ベースは上記NPNトランジスタ33bのコレクタに接続されている。上記NPNトランジスタ33bのエミッタおよび上記抵抗素子33cの他端は、それぞれ、上記GND-PAD12に接続されている。

【0010】

図11は、上記したサイリスタ33の実際の素子構造を示すものである。たとえば、P型半導体基板33-1の表面部には、ピーク濃度が $3.5 \times 10^{17}\text{cm}^{-3}$ 、接合深さ(X_j)が $1.5\mu\text{m}$ とされたN-well領域33-2、および、ピーク濃度が $6.0 \times 10^{17}\text{cm}^{-3}$ 、不純物濃度が上記P型半導体基板33-1と同程度になる深さ(X_j)が $1.5\mu\text{m}$ とされたP-well領域33-3が隣接して形成されている。また、上記P型半導体基板33-1の表面部には、STI(Shallow Trench Isolation)構造の、複数の素子分離用の絶縁領域33-4が選択的に形成されている。

【0011】

また、上記絶縁領域33-4の形成位置を除く、上記N-well領域33-2の表面部には、たとえば、ピーク濃度が $1 \times 10^{20}\text{cm}^{-3}$ 、接合深さ(X_j)が $0.18\mu\text{m}$ とされた P^+ 層33-5が、また、上記P-well領域33-3の表面部には、たとえば、ピーク濃度が $1 \times 10^{20}\text{cm}^{-3}$ 、接合深さ(X_j)が $0.18\mu\text{m}$ とされた N^+ 層33-6および P^+ 層33-7が形成されている。また、上記P型半導体基板33-1の、上記N-well領域33-2および上記P-well領域33-3の非形成領域には、たとえば、ピーク濃度が $1 \times 10^{20}\text{cm}^{-3}$ 、不純物濃度が上記P型半導体基板33-1と同程度になる深さ(X_j)が $0.18\mu\text{m}$ とされた P^+ 層33-8が形成されている。

【0012】

このサイリスタ33の場合、上記 P^+ 層33-5、上記N-well領域33-2、上記P-well領域33-3が、それぞれ、図10に示したPNPトランジスタ33aの、エミッタ、ベース、コレクタとなる。図中の L_n はベース長であり、この例の場合、約 $0.4\mu\text{m}$ となっている。また、上記 P^+ 層33-5は、上記した電源PAD11と接続されている。

【0013】

同様に、上記N-well領域33-2、上記P-well領域33-3、上記 N^+ 層33-6が、それぞれ、図10に示したNPNトランジスタ33bの、コレクタ、ベース、エミッタとなる。図中の L_p はベース長であり、この例の場合、約 $0.4\mu\text{m}$ となっている。また、上記 N^+ 層33-6は、上記したGND-PAD12と接続されるとともに、図10に示した抵抗素子33cに相当する $5\text{K}\Omega$ のN-well抵抗を介して、上記 P^+ 層33-7および上記トリガー回路32の出力端に接続されている。

【0014】

この図からも明らかなように、上記 P^+ 層33-7は、上記P-well領域33-3および上記P型半導体基板33-1を介して、上記GND-PAD12に接続された上記 P^+ 層33-8に接続されている。ところが、この接続抵抗の大部分を占める上記P型半導体基板33-1の抵抗値は、製造プロセスによるばらつきが大きい。このP型半導体基板33

-1の抵抗値を安定させるために、上記抵抗素子33cが配置されている。また、高濃度拡散層である上記P⁺層33-5、上記P⁺層33-7、上記P⁺層33-8および上記N⁺層33-6の幅は約1μm、長さ（紙面奥行き方向の寸法）は約80μmである。

【0015】

図10に示したように、上記サイリスタ33には、2本の電流経路が記述されている。つまり、上記PNPトランジスタ33aのベースから上記NPNトランジスタ33bのコレクタに至る第1の経路と、上記PNPトランジスタ33aのコレクタから上記NPNトランジスタ33bのベースに至る第2の経路とが記されている。しかしながら、上記第1、第2の経路は、実際には、たとえば図11に示したように、上記Nwell領域33-2から上記Pwell領域33-3に至る1つの経路であり、上記第1、第2の経路のいずれか一方に素子を挿入したりすることはできない。

【0016】

以下に、図10を参照して、上記した構成のESD保護回路30の動作について説明する。まず、ESDサージ電圧が印加された際の動作（保護動作）について説明する。たとえば、上記電源PAD11および上記GND-PAD12間に、正のESDサージ電圧が印加されたとする。すると、上記トリガー回路32および上記サイリスタ33は、上記電源PAD11からの電圧（V_{dd}）の供給によって動作状態となる。上記CR積分回路31の出力（中間ノード）は、上記容量素子31bの働きによってGND電位（0V）に保持される。これにより、上記トリガー回路32のPMOSTランジスタ32aが導通状態となって、上記サイリスタ33のNPNトランジスタ33bのベース-エミッタ接合部に、上記電源PAD11からの電流が流入される。その結果、上記NPNトランジスタ33bがオン状態になる。すなわち、上記NPNトランジスタ33bにコレクタ電流が流れる。

【0017】

このコレクタ電流によって、上記PNPトランジスタ33aのベースに電流が流れ、上記PNPトランジスタ33aはオン状態になる。このPNPトランジスタ33aのコレクタ電流は、上記NPNトランジスタ33bのベース電流を供給する。これにより、ポジティブなフィードバックループが形成される。そのため、上記サイリスタ33はスナッチバックを起こし、上記電源PAD11から上記GND-PAD12に向かって大電流を流すことが可能な低インピーダンス状態になる。したがって、ESDサージ電流は、上記電源PAD11からの電圧を上昇させることなく放電され、上記半導体集積回路20を破壊することはない。

【0018】

次に、通常動作（非保護動作）時の、上記ESD保護回路30の動作について説明する。上記電源PAD11からの電圧（V_{dd}）に変化のない状態では、上記CR積分回路31の中間ノードは、上記抵抗素子31aの働きによって電圧V_{dd}になる。そのため、上記トリガー回路32の出力はGND電位（0V）となる。したがって、上記NPNトランジスタ33bはオフとなる。この場合、上記PNPトランジスタ33aのベース電流が供給されないため、上記PNPトランジスタ33aにも電流は流れない。すなわち、上記サイリスタ33はカットオフした状態となる。

【0019】

図12は、上記した従来のESD保護回路30の、大電流領域のI-V特性を示すものである。縦軸のI_{esd}は、上記電源PAD11からの流入が想定される、ESDサージ電流の最大電流値である。

【0020】

このESD保護回路30により上記半導体集積回路20をESDから保護するということは、上記半導体集積回路20におけるゲート酸化膜がESDによって破壊される防ぐことである。そのためには、上記電源PAD11からの電流Iが上記最大電流値I_{esd}よりも小さい範囲で、かつ、電圧Vが酸化膜破壊電圧BV_{ox}を超えてはならない（V_{cl}amp < BV_{ox}）。また、通常動作時にウェルの誘導などによりサイリスタ33がラッ

チアアップするのを抑えるためには、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} (通常は、 $1.1 * V_{dd}$) よりも大きくななければならない ($V_h > V_{ddmax}$)。これにより、スナップバック後の導通状態時のオン抵抗 (要求抵抗値) R_{on} は、以下の式で与えられる。

【0021】

$$R_{on} = (V_{clamp} - V_h) / (I_{esd} - I_h)$$

ただし、上記 I_h はスナップバック後の電流の極小値である。一般に、 $I_{esd} \gg I_h$ であるから、

$$R_{on} \approx (V_{clamp} - V_h) / I_{esd} \cdots (1)$$

となる。

【0022】

また、

$$V_{clamp} < BV_{ox} \cdots (2)$$

$$V_h > V_{ddmax} \cdots (3)$$

である。

【0023】

上記式 (1), (2), (3) より、

$$R_{on} < (BV_{ox} - V_{ddmax}) / I_{esd}$$

となる。

【0024】

簡単化のため、最大電流値 I_{esd} が 2.7 A であるような、マンーマシンモデルでの放電波形の最大電流値を I_{esd} の例として考える。なお、酸化膜厚が 12 オングストローム程度の微細な CMOS デバイスでは、酸化膜破壊電圧 BV_{ox} はパルス破壊に対して 4 V 程度である。

【0025】

つまり、 $V_{ddmax} = 1.2 V$ とすると、

$$R_{on} < (4 V - 1.2 V) / 2.7 A = 1.0 \Omega$$

となる。

【0026】

これを実現するために、従来の ESD 保護回路 30 においては、たとえば図 11 に示したように、素子の幅 (高濃度拡散層の長さ) が $80 \mu m$ と巨大になっている。MOS 集積回路の微細化とともに、電源電圧は低下し、酸化膜厚は薄くなる。その結果、この要求抵抗値 (R_{on}) はゲート酸化膜の薄膜化にともなって低下する。このため、所定の要求抵抗値 (R_{on}) を実現するには、ESD 保護回路 30 がますます巨大化する。しかも、たとえば図 9 に示したように、上記半導体集積回路 20 と上記 ESD 保護回路 30 との間に上記配線抵抗 R_1 , R_2 が挿入されている場合、上記半導体集積回路 20 の両端の電圧はさらに上昇する。

【0027】

その際の酸化膜保護の条件は、

$$V_{clamp} + I_{esd} * (R_1 + R_2) < BV_{ox}$$

となる。

【0028】

すなわち、

$$V_{clamp} < BV_{ox} - I_{esd} * (R_1 + R_2) \cdots (4)$$

となる。

【0029】

この場合は、

$$R_{on} + R_1 + R_2 < (BV_{ox} - V_{ddmax}) / I_{esd}$$

となる。

【0030】

つまり、配線抵抗 R_1 , R_2 を考慮した場合、さらに、要求抵抗値 (R_{on}) を小さくしなければならないため、ESD 保護回路 30 は巨大化する。あるいは、配線抵抗 R_1 , R_2 をより小さな値とするためには、上記電源 PAD11 および上記 GND-PAD12 の間に多数の ESD 保護回路 30 を挿入しなければならない。

【非特許文献 1】Christian C. Russ et al., "GGSCRs: GGNMOS Triggered Silicon Controlled Rectifiers for ESD Protection in Deep Sub-Micron CMOS Processes", ELECTRICAL OVERSTRESS/ELECTROSTATIC DISCHARGE SYMPOSIUM PROCEEDINGS 2001 (23th).

【発明の開示】

【発明が解決しようとする課題】

【0031】

上記したように、従来においては、ゲート酸化膜の薄膜化や配線抵抗に応じて要求抵抗値 (R_{on}) を小さくしなければならないため、ESD 保護回路が巨大化するという不具合があった。

【0032】

本発明は、上記の課題を解決するためになされたものであって、その目的とするところは、ゲート酸化膜の薄膜化や配線抵抗に応じて要求抵抗値を十分に小さくできるとともに、半導体装置に占める面積を削減することが可能な保護回路を備えた半導体装置を提供することにある。

【課題を解決するための手段】

【0033】

本願発明の一態様によれば、半導体集積回路を静電放電から保護するための保護回路を備えた半導体装置であって、前記保護回路が、前記静電放電を検知する検知回路と、前記検知回路の出力にもとづいてトリガー信号を生成するトリガー回路と、前記半導体装置の第 1 の端子にエミッタが接続された PNP トランジスタと、前記半導体装置の第 2 の端子にエミッタが接続され、前記 PNP トランジスタのベースにコレクタが接続された NPN トランジスタとを有し、前記トリガー回路からの前記トリガー信号により動作するサイリスタ部と、前記 PNP トランジスタおよび前記 NPN トランジスタ間の接続を、前記検知回路の出力に応じて制御するスイッチング素子とを具備して構成されていることを特徴とする半導体装置が提供される。

【0034】

上記した構成とした場合、通常動作時にはサイリスタがラッチアップする経路（フィードバックループ）を遮断できるようになる。これにより、保護回路に対する設計の制約を緩和でき、保護回路における素子の幅や端子間に挿入する保護回路の個数を減少させることが可能となるものである。

【発明の効果】

【0035】

この発明によれば、通常動作時における、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} よりも大きくななければならないというサイリスタの設計上の制約を無視することが可能となる結果、ゲート酸化膜の薄膜化や配線抵抗に応じて要求抵抗値を十分に小さくできるとともに、半導体装置に占める面積を削減することが可能な保護回路を備えた半導体装置を提供できる。

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施の形態について図面を参照して説明する。

【0037】

[第 1 の実施形態]

図 1 は、この発明の第 1 の実施形態にしたがった、ESD (Electrostatic

c Discharge) 保護回路の構成例を示すものである。ここでは、同一基板上に保護対象となる半導体集積回路（たとえば、MOS (Metal Oxide Semiconductor) 集積回路）とともに集積化されて、上記半導体集積回路のゲート酸化膜を保護する保護回路として用いられる、ACトリガー切斷型サイリスタを例に説明する。なお、図10と同一部分には同一符号を付し、詳しい説明は割愛する。

【0038】

この第1の実施形態は、たとえば図1に示すように、CR積分回路31の出力により制御されるPMOSトランジスタ33dによって、通常動作時には、サイリスタ部33AのPNPトランジスタ33aのコレクタとNPNトランジスタ33bのベースとを結ぶ第1の電流経路を電氣的に遮断するようにしたものである。

【0039】

すなわち、このESD保護回路30Aは、たとえば図9に示したように、電源PAD（第1の端子）11とGND-PAD（第2の端子）12との間に、半導体集積回路20と並列に接続されている。上記ESD保護回路30Aは、たとえば図1に示すように、CR積分回路（検知回路）31、トリガー回路32、および、サイリスタ部33Aを有して構成されている。

【0040】

上記CR積分回路31は、上記電源PAD11と上記GND-PAD12との間に、抵抗素子(R)31aと容量素子(C)31bとが直列に接続された構成とされている。上記抵抗素子31aは、たとえばP型半導体基板(33-11)上に形成された1MΩの抵抗値を有するN-well抵抗である。上記容量素子31bは、たとえば6pFの容量値を有するMOSキャパシタである。そして、上記抵抗素子31aと上記容量素子31bとの接続点である、上記CR積分回路31の出力端（中間端子）は、上記トリガー回路32の入力端、および、後述するスイッチング素子に接続されている。

【0041】

上記トリガー回路32は、たとえば、PチャネルMOS (PMOS) トランジスタ32aとNチャネルMOS (NMOS) トランジスタ32bとからなるCMOS (Complementary MOS) インバータによって構成されている。このCMOSインバータの各電極、つまり、上記PMOSトランジスタ32aのソースおよび上記NMOSトランジスタ32bのソースは、それぞれ、上記電源PAD11と上記GND-PAD12とに接続されている。また、上記PMOSトランジスタ32aおよび上記NMOSトランジスタ32bの各ゲート電極（入力端）には、上記CR積分回路31の出力端が接続されている。そして、上記PMOSトランジスタ32aおよび上記NMOSトランジスタ32bの各ドレインが共通に接続された、上記トリガー回路32の出力端は、上記サイリスタ部33Aに接続されている。

【0042】

上記サイリスタ部33Aは、たとえば、PNPトランジスタ33a、NPNトランジスタ33b、抵抗素子33c、および、上記スイッチング素子としてのPMOSトランジスタ33dを有して構成されている。上記PNPトランジスタ33aのエミッタは上記電源PAD11に接続され、ベースは上記NPNトランジスタ33bのコレクタに接続されている（第2の接続配線）。上記PNPトランジスタ33aのコレクタは、上記PMOSトランジスタ33dのソースに接続されている。上記PMOSトランジスタ33dのゲート電極には、上記CR積分回路31の出力端が接続されている。上記PMOSトランジスタ33dのドレイン、上記NPNトランジスタ33bのベース、および、上記抵抗素子33cの一端には、上記トリガー回路32の出力端が接続されている。また、上記NPNトランジスタ33bのエミッタおよび上記抵抗素子33cの他端は、それぞれ、上記GND-PAD12に接続されている。

【0043】

すなわち、上記サイリスタ部33Aにおいて、上記PMOSトランジスタ33dは、上記PNPトランジスタ33aのコレクタと上記NPNトランジスタ33bのベースとを結

ぶ、第1の接続配線（第1の電流経路）に挿入されている。なお、上記PMOSトランジスタ33dは、たとえば、ゲート幅（W）が $80\mu\text{m}$ 、ゲート長（L）が $0.15\mu\text{m}$ 、ゲート酸化膜の膜厚（ T_{ox} ）が 2nm 、しきい値電圧（ V_{th} ）が -0.2V とされている。

【0044】

図2は、図1に示したサイリスタ部33Aの実際の素子構造を示すものである。たとえば、P型半導体基板33-11の表面部には、ピーク濃度が $3.5 \times 10^{17}\text{cm}^{-3}$ 、接合深さ（ X_j ）が $1.5\mu\text{m}$ とされたN-well領域33-12、および、ピーク濃度が $6.0 \times 10^{17}\text{cm}^{-3}$ 、接合深さ（ X_j ）が $1.5\mu\text{m}$ とされたP-well領域33-13が隣接して形成されている。また、上記P型半導体基板33-11の表面部には、STI（Shallow Trench Isolation）構造の、複数の素子分離用の絶縁領域33-14が選択的に形成されている。

【0045】

また、上記絶縁領域33-14の形成位置を除く、上記N-well領域33-12の表面部には、たとえば、ピーク濃度が $1 \times 10^{20}\text{cm}^{-3}$ 、接合深さ（ X_j ）が $0.18\mu\text{m}$ とされた P^+ 層33-15、 P^+ 層33-16、 P^+ 層33-17および N^+ 層33-18が、ほぼ一定の間隔を有して形成されている。上記 P^+ 層33-15、上記 P^+ 層33-16の相互間を除く、上記 P^+ 層33-16、上記 P^+ 層33-17および上記 N^+ 層33-18の相互間には、それぞれ、上記絶縁領域33-14が配置されている。上記 P^+ 層33-15、上記 P^+ 層33-16の相互間に対応する、上記N-well領域33-12の表面上には、たとえば、20オングストローム程度の厚さを有するゲート酸化膜（熱酸化膜）33-19を介して、P型の多結晶シリコンからなるゲート電極33-20が形成されている。一方、上記絶縁領域33-14の形成位置を除く、上記P-well領域33-13の表面部には、たとえば、ピーク濃度が $1 \times 10^{20}\text{cm}^{-3}$ 、接合深さ（ X_j ）が $0.18\mu\text{m}$ とされた N^+ 層33-21、 N^+ 層33-22および P^+ 層33-23が形成されている。上記 N^+ 層33-18、上記 N^+ 層33-21、上記 N^+ 層33-22および上記 P^+ 層33-23の相互間には、それぞれ、上記絶縁領域33-14が配置されている。

【0046】

このサイリスタ部33Aの場合、上記 P^+ 層33-15、上記 P^+ 層33-16および上記ゲート電極33-20が、それぞれ、図1に示したPMOSトランジスタ33dのドレイン、ソースおよびゲートとなる。このPMOSトランジスタ33dのドレイン、つまり、上記 P^+ 層33-15は上記トリガー回路32の出力端に接続されている。上記PMOSトランジスタ33dのゲート、つまり、上記ゲート電極33-20は上記CR積分回路31の出力端に接続されている。また、上記 P^+ 層33-16、上記N-well領域33-12、上記 P^+ 層33-17が、それぞれ、図1に示した上記PNPトランジスタ33aのコレクタ、ベース、エミッタとなる。図中の L_n はベース長であり、この例の場合、約 $0.2\mu\text{m}$ となっている。また、上記 P^+ 層33-17は、上記した電源PAD11に接続されている。さらに、上記 N^+ 層33-18は、上記N-well領域33-12からベース電流を取り出すためのものであり、上記 N^+ 層33-22に接続されている。

【0047】

同様に、上記 N^+ 層33-21、上記P-well領域33-13、上記 N^+ 層33-22が、それぞれ、図1に示したNPNトランジスタ33bのエミッタ、ベース、コレクタとなる。図中の L_p はベース長であり、この例の場合、約 $0.2\mu\text{m}$ となっている。また、上記 N^+ 層33-21は、上記したGND-PAD12と接続されるとともに、図1に示した抵抗素子33cに相当する $5\text{K}\Omega$ のN-well抵抗を介して、上記P-well領域33-13からベース電流を取り出すための上記 P^+ 層33-23、および、上記トリガー回路32の出力端に接続されている。

【0048】

なお、上記P型半導体基板33-11の、上記N-well領域33-12および上記P-well領域33-13の非形成領域には、 P^+ 層（図示していない）が形成されている

。この P^+ 層は、上記GND-PAD12に接続されている。また、このサイリスタ部33Aの場合、寄生トランジスタの動作を回避するために、 $L_n \ll L_{n2}$, $L_p \ll L_{p2}$ の関係を満足するように設計されている。さらに、高濃度拡散層である上記 P^+ 層33-15, 上記 P^+ 層33-16, 上記 P^+ 層33-17, 上記 P^+ 層33-23 および上記 N^+ 層33-18, 上記 N^+ 層33-21, 上記 N^+ 層33-22の幅は約 $1\mu m$ 、長さ(紙面奥行き方向の寸法)は約 $55\mu m$ である。

【0049】

この図からも明らかなように、上記サイリスタ部33Aは、上記PNPトランジスタ33aのコレクタから上記NPNトランジスタ33bのベースに至る第1の経路(第1の接続配線)と、これとは別の、上記PNPトランジスタ33aのベースから上記NPNトランジスタ33bのコレクタに至る第2の経路(第2の接続配線)とを有し、上記第1の経路に上記スイッチング用のPMOSTランジスタ33dが挿入されている。一般に、NPNトランジスタは、PNPトランジスタよりもHFE(バイポーラトランジスタの順方向電流増幅率)の大きいものが実現できる。よって、第1の経路にスイッチング素子を挿入した方が、サイリスタのオンしている時の電流量が小さくて済むため、小さなスイッチング素子でオン・オフが制御できるので、有利である。

【0050】

以下に、図1を参照して、上記した構成のESD保護回路30Aの動作について説明する。まず、ESDサージ電圧が印加された際の動作(保護動作)について説明する。たとえば、上記電源PAD11および上記GND-PAD12間に、正のESDサージ電圧が印加されたとする。すると、上記トリガー回路32および上記サイリスタ部33Aは、上記電源PAD11からの電圧(Vdd)の供給によって動作状態となる。上記CR積分回路31の出力(中間ノード)は、上記容量素子31bの働きによってGND電位(0V)に保持される。これにより、上記PMOSTランジスタ33dのゲート電圧がGND電位となって、上記PMOSTランジスタ33dがオンする。その結果、従来例と同様のメカニズムによって、ポジティブなフィードバックループが形成される。

【0051】

つまり、上記トリガー回路32のPMOSTランジスタ32aが導通状態となって、上記サイリスタ部33AのNPNトランジスタ33bのベース-エミッタ接合部に、上記GND-PAD12からの電流が流入される。その結果、上記NPNトランジスタ33bがオン状態になる。すなわち、上記NPNトランジスタ33bにコレクタ電流が流れる。このコレクタ電流によって、上記PNPトランジスタ33aのベースに電流が流れ、上記PNPトランジスタ33aはオン状態になる。このPNPトランジスタ33aのコレクタ電流は、上記NPNトランジスタ33bのベース電流を供給する。これにより、ポジティブなフィードバックループが形成される。そのため、上記サイリスタ部33Aがスナップバックを起こし、上記電源PAD11から上記GND-PAD12に向かって大電流を流すことが可能な低インピーダンス状態になる。したがって、ESDサージ電流は、上記電源PAD11からの電圧(Vdd)を上昇することなく放電され、上記半導体集積回路20を破壊することはない。

【0052】

次に、通常動作(非保護動作)時の、上記ESD保護回路30Aの動作について説明する。上記電源PAD11からの電圧(Vdd)に変化のない状態では、上記CR積分回路31の中間ノードは、上記抵抗素子31aの働きによってVdd電位になる。そのため、上記トリガー回路32の出力はGND電位(0V)となる。したがって、上記NPNトランジスタ33bはオフとなる。この場合、上記PNPトランジスタ33aのベース電流が供給されないため、上記PNPトランジスタ33aにも電流は流れない。さらに、上記PMOSTランジスタ33dがオフのままとなるため、スナップバックを起こすためのフィードバックループが遮断される。すなわち、上記サイリスタ部33Aはカットオフした状態となる。

【0053】

図3は、上記した構成のESD保護回路30Aの、大電流領域のI-V特性を示すものである。このESD保護回路30Aにより、上記半導体集積回路20のゲート酸化膜がESDによって破壊されるのを防ぐためには、上記電源PAD11からの電流IがESDサージ電流の最大電流値 I_{esd} よりも小さい範囲で、かつ、電圧Vが酸化膜破壊電圧 BV_{ox} を超えてはならない($V_{clamp} < BV_{ox}$)。この条件は、従来例の場合と同様である。

【0054】

上記PMOSトランジスタ33dは、ゲートが上記抵抗素子31aを介して、上記電源PAD11に接続されているため、定常状態ではオンしない。したがって、通常動作時にウェルの誘導などが存在したとしても、上記サイリスタ部33Aはラッチアップしない。つまり、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} よりも大きくなければならない($V_h > V_{ddmax}$)という制約は必要ない。これにより、スナップバック後の導通状態時のオン抵抗(要求抵抗値) R_{on} は、以下の式で与えられる。

【0055】

$$R_{on} = (V_{clamp} - V_h) / (I_{esd} - I_h)$$

ただし、上記 I_h はスナップバック後に電圧が極小となる点(V_h)での電流値である。一般に、 $I_{esd} \gg I_h$ であるから、

$$R_{on} \approx (V_{clamp} - V_h) / I_{esd} \cdots (1)$$

となる。

【0056】

また、

$$V_{clamp} < BV_{ox} \cdots (2)$$

である。

【0057】

上記式(1)、(2)より、

$$R_{on} < (BV_{ox} - V_h) / I_{esd}$$

となる。

【0058】

上記ベース長 L_n 、 L_p を $0.2 \mu m$ と小さくしたため、上記PNPトランジスタ33aおよび上記NPNトランジスタ33bのHFEは十分に高く、スナップバック後の電圧の極小値 V_h は $0.4 V$ と、酸化膜破壊電圧 BV_{ox} に対して無視できる程度の値となった。

【0059】

すなわち、スナップバック後の導通状態時のオン抵抗 R_{on} は、

$$R_{on} \approx BV_{ox} / I_{esd}$$

となる。

【0060】

上述したように、ESDサージ電流の最大電流値 I_{esd} を $2.7 A$ 、酸化膜破壊電圧 BV_{ox} を $4 V$ とすると、

$$R_{on} < 4 V / 2.7 A = 1.5 \Omega$$

となる。

【0061】

このため、従来例に比べ、素子の幅は $55 \mu m$ と、約 $1/1.5$ に縮小された。この効果は、上述の図9に示した電源配線抵抗 R_1 およびグランド配線抵抗 R_2 を考慮した場合、さらに大きくなる。たとえば、素子の幅を従来例の場合と同じ $80 \mu m$ とすると、上記各配線抵抗 R_1 、 R_2 に許容される抵抗値は、従来例の場合よりも 0.5Ω も大きくなるため、ESD保護回路30Aの必要挿入数を大幅に削減できる。

【0062】

図4は、図1に示したサイリスタ部33Aの、実際の素子構造の他の例を示すものである。なお、図2と同一部分には同一符号を付し、詳しい説明は割愛する。また、ここでは

、 N^+ 層 33-21 と N^+ 層 33-22 との間の絶縁領域をなくして、MOSトランジスタ構造を形成するようにした場合について説明する。

【0063】

すなわち、このサイリスタ部 33A' においては、上記 N^+ 層 33-21、上記 N^+ 層 33-22 の相互間に対応する、上記 $P-well$ 領域 33-13 の表面上に、たとえば、20オングストローム程度の厚さを有するゲート酸化膜（熱酸化膜）33-31を介して、 N^+ 型の多結晶シリコンからなるゲート電極 33-32 が形成されている。また、上記ゲート電極 33-32 である多結晶シリコンと、バルクである上記 $P-well$ 領域 33-13 に接続された上記 P^+ 層 33-23 とを接続することによって、上記 NPNトランジスタ 33b が形成されている。

【0064】

一般に、STIの加工よりも多結晶ポリシリコンの加工の方が微細化に有利であり、上記ベース長 L_p をより小さくすることが可能となる。ベース長 L_p を小さくすると、スナップバック後の電圧の極小値 V_h を低下させることが可能となるため、図2に示した構造に比べ、素子の幅をさらに縮小することができる。

【0065】

図5は、図1に示したサイリスタ部 33A の、実際の素子構造のさらに別の例を示すものである。なお、図2と同一部分には同一符号を付し、詳しい説明は割愛する。また、ここでは、NPNトランジスタ 33b を縦型トランジスタ構造とした場合について説明する。

【0066】

このサイリスタ部 33A'' の場合、たとえば、P型半導体基板 33-11 の表面部に、ピーク濃度が $3.5 \times 10^{17} \text{ cm}^{-3}$ 、接合深さ (X_j) が $1.5 \mu\text{m}$ とされた $N-well$ 領域 33-12、および、ピーク濃度が $2.0 \times 10^{17} \text{ cm}^{-3}$ 、接合深さ (X_j) が $1.9 \mu\text{m}$ とされた深い $N-well$ 領域 33-41 が隣接して形成されている。そして、この深い $N-well$ 領域 33-41 内に、ピーク濃度が $6.0 \times 10^{17} \text{ cm}^{-3}$ 、接合深さ (X_j) が $1.5 \mu\text{m}$ とされた $P-well$ 領域 33-13 が形成されている。また、上記 P型半導体基板 33-11 の表面部には、STI (Shallow Trench Isolation) 構造の、複数の素子分離用の絶縁領域 33-14 が選択的に形成されている。

【0067】

また、上記絶縁領域 33-14 の形成位置を除く、上記 $N-well$ 領域 33-12 の表面部には、たとえば、ピーク濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 、接合深さ (X_j) が $0.18 \mu\text{m}$ とされた P^+ 層 33-15、 P^+ 層 33-16、 P^+ 層 33-17 が、ほぼ一定の間隔を有して形成されている。上記 P^+ 層 33-16、上記 P^+ 層 33-17 の相互間には、上記絶縁領域 33-14 が配置されている。上記 P^+ 層 33-15、上記 P^+ 層 33-16 の相互間に対応する、上記 $N-well$ 領域 33-12 の表面上には、たとえば、20オングストローム程度の厚さを有するゲート酸化膜（熱酸化膜）33-19を介して、P型の多結晶シリコンからなるゲート電極 33-20 が形成されている。一方、上記絶縁領域 33-14 の形成位置を除く、上記 $P-well$ 領域 33-13 の表面部には、たとえば、ピーク濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 、接合深さ (X_j) が $0.18 \mu\text{m}$ とされた N^+ 層 33-21、 P^+ 層 33-23 が形成されている。

【0068】

このサイリスタ部 33A'' の場合、上記 P^+ 層 33-15、上記 P^+ 層 33-16 および上記ゲート電極 33-20 が、それぞれ、図1に示したPMOSトランジスタ 33d のドレイン、ソースおよびゲートとなる。このPMOSトランジスタ 33d のドレイン、つまり、上記 P^+ 層 33-15 は上記トリガー回路 32 の出力端に接続されている。上記PMOSトランジスタ 33d のゲート、つまり、上記ゲート電極 33-20 は上記CR積分回路 31 の出力端に接続されている。また、上記 P^+ 層 33-16、上記 $N-well$ 領域 33-12、上記 P^+ 層 33-17 が、それぞれ、図1に示した上記PNPトランジスタ 33a のコレクタ、ベース、エミッタとなる。図中の L_n はベース長であり、この例の場合、約0

、 $2\mu\text{m}$ となっている。また、上記 P^+ 層33-17は、上記した電源PAD11に接続されている。

【0069】

同様に、上記 N^+ 層33-21、上記 P -well領域33-13、上記深い N -well領域33-41が、それぞれ、図1に示したNPNトランジスタ33bのエミッタ、ベース、コレクタとなる。図中の L_p はベース長であり、この例の場合、約 $0.2\mu\text{m}$ となっている。また、上記 N^+ 層33-21は、上記した GND -PAD12と接続されるとともに、図1に示した抵抗素子33cに相当する $5K\Omega$ の N -well抵抗を介して、上記上記 P -well領域33-13からベース電流を取り出すための上記 P^+ 層33-23、および、上記トリガー回路32の出力端に接続されている。

【0070】

なお、上記 P 型半導体基板33-11の、上記 N -well領域33-12および上記 P -well領域33-13の非形成領域には、 P^+ 層（図示していない）が形成されている。この P^+ 層は、上記 GND -PAD12に接続されている。また、このサイリスタ部33A'の場合、寄生トランジスタの動作を回避するために、 $L_n < L_{n2}$ または $L_p < L_{p2}$ の少なくとも一方の関係を満足するように設計されている。さらに、高濃度拡散層である上記 P^+ 層33-15、上記 P^+ 層33-16、上記 P^+ 層33-17、上記 P^+ 層33-23および上記 N^+ 層33-21の幅は約 $1\mu\text{m}$ 、長さ（紙面奥行き方向の寸法）は約 $40\mu\text{m}$ である。また、上記抵抗素子33cに相当する $5K\Omega$ の N -well抵抗は、必要に応じて設けられる。

【0071】

このように、上記NPNトランジスタ33bを縦型構造とすることによって、エミッタからベースに注入される電流は、上記 P 型半導体基板33-11の深部の、不純物濃度の低い領域を主に流れる。これにより、電子のホールとの再結合を少なくできる。また、ベース長 L_p を小さくできるので、スナップバック後の電圧の極小値 V_h を低下させることが可能となる。これにより、要求抵抗値（ R_{on} ）を緩和できるため、図4に示した構造に比べ、素子の幅をさらに縮小することができる。つまり、PNPトランジスタ33aのベースとNPNトランジスタ33bのコレクタとの接続を、well間接続により実現するようにした場合には、ESD保護回路30Aをより小面積化できる。

【0072】

上記したように、PNPトランジスタ33aのコレクタからNPNトランジスタ33bのベースに至る第1の電流経路の途中に、通常動作時に、この第1の電流経路を電気的に遮断するPMOSTランジスタ33dが挿入されている。すなわち、通常動作時にはサイリスタがラッチアップするフィードバックループを遮断できるようにしている。これにより、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} よりも大きくなければならない（ $V_h > V_{ddmax}$ ）という制約が必要なくなるため、ESD保護回路に対する設計の制約を緩和でき、ESD保護回路における素子の幅や端子間に挿入するESD保護回路の個数を減少させることが可能となる。したがって、ゲート酸化膜の薄膜化や配線抵抗に応じて要求抵抗値を十分に緩和できるため、集積回路装置に占めるESD保護回路の面積を削減することが可能となるものである。

【0073】

〔第2の実施形態〕

図6は、この発明の第2の実施形態にしたがった、ESD保護回路の構成例を示すものである。ここでは、同一基板上に保護対象となる半導体集積回路（たとえば、MOS集積回路）とともに集積化されて、上記半導体集積回路のゲート酸化膜を保護する保護回路として用いられる、ACトリガー切断型サイリスタを例に説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

【0074】

この第2の実施形態は、たとえば図6に示すように、通常動作時には、CR積分回路31の出力により制御されるPMOSTランジスタ33dによって、PNPトランジスタ3

3 a のコレクタと NPN トランジスタ 3 3 b のベースとを結ぶ第 1 の電流経路を電氣的に遮断するように構成したものである。この例の場合、CMOS インバータを 2 段にしてトリガー回路 3 2' が構成されるとともに、その出力端がサイリスタ部 3 3 B の上記 PNP トランジスタ 3 3 a のベースに接続されている。

【0075】

すなわち、この ESD 保護回路 3 0 B の場合、たとえばトリガー回路 3 2' が、PMOS トランジスタ 3 2 a₋₁ と NMOS トランジスタ 3 2 b₋₁ とからなる第 1 の CMOS インバータと、PMOS トランジスタ 3 2 a₋₂ と NMOS トランジスタ 3 2 b₋₂ とからなる第 2 の CMOS インバータとによって構成されている。これら CMOS インバータの各電極、つまり、上記 PMOS トランジスタ 3 2 a₋₁、3 2 a₋₂ の各ソースおよび上記 NMOS トランジスタ 3 2 b₋₁、3 2 b₋₂ の各ソースは、それぞれ、上記した電源 PAD 1 1 と GND-PAD 1 2 とに接続されている。また、上記第 1 の CMOS インバータの、上記 PMOS トランジスタ 3 2 a₋₁ および上記 NMOS トランジスタ 3 2 b₋₁ の各ゲート電極（トリガー回路 3 2' の入力端）には、上記 CR 積分回路 3 1 の出力端が接続されている。上記 PMOS トランジスタ 3 2 a₋₁ および上記 NMOS トランジスタ 3 2 b₋₁ の共通ドレインは、上記第 2 の CMOS インバータの、上記 PMOS トランジスタ 3 2 a₋₂ および上記 NMOS トランジスタ 3 2 b₋₂ の各ゲート電極に接続されている。そして、上記 PMOS トランジスタ 3 2 a₋₂ および上記 NMOS トランジスタ 3 2 b₋₂ の共通ドレイン（トリガー回路 3 2' の出力端）は、上記サイリスタ部 3 3 B の上記 PNP トランジスタ 3 3 a のベースおよび上記 NPN トランジスタ 3 3 b のコレクタに接続されている。

【0076】

一方、上記サイリスタ部 3 3 B は、たとえば、上記 PNP トランジスタ 3 3 a のコレクタから上記 NPN トランジスタ 3 3 b のベースに至る第 1 の経路（第 1 の接続配線）と、これとは別の、上記 PNP トランジスタ 3 3 a のベースから上記 NPN トランジスタ 3 3 b のコレクタに至る第 2 の経路（第 2 の接続配線）とを有し、上記第 1 の経路に上記スイッチング用の PMOS トランジスタ 3 3 d が挿入されている。そして、この PMOS トランジスタ 3 3 d のゲート電極には、上記 CR 積分回路 3 1 の出力端が接続されている。

【0077】

以下に、図 6 を参照して、上記した構成の ESD 保護回路 3 0 B の動作について説明する。まず、ESD サージ電圧が印加された際の動作（保護動作）について説明する。たとえば、上記電源 PAD 1 1 および上記 GND-PAD 1 2 間に、正の ESD サージ電圧が印加されたとする。すると、上記トリガー回路 3 2' および上記サイリスタ部 3 3 B は、上記電源 PAD 1 1 からの電圧（V_{dd}）の供給によって動作状態となる。上記 CR 積分回路 3 1 の出力（中間ノード）は、上記容量素子 3 1 b の働きによって GND 電位（0 V）に保持される。これにより、上記 PMOS トランジスタ 3 3 d のゲート電圧が GND 電位となって、上記 PMOS トランジスタ 3 3 d がオンする。

【0078】

一方、上記トリガー回路 3 2' の出力は入力と同じ 0 V となり、上記 PNP トランジスタ 3 3 a のベース-エミッタ接合部に、上記電源 PAD 1 1 からの電流が流入される。その結果、上記 PNP トランジスタ 3 3 a がオン状態になる。すなわち、上記 PNP トランジスタ 3 3 a にコレクタ電流が流れる。すると、上記 PMOS トランジスタ 3 3 d を介して、上記 NPN トランジスタ 3 3 b のベースに電流が流れ、上記 NPN トランジスタ 3 3 b はオン状態になる。この NPN トランジスタ 3 3 b のコレクタ電流は、上記 PNP トランジスタ 3 3 a のベース電流を供給する。これにより、ポジティブなフィードバックループが形成される。そのため、上記サイリスタ部 3 3 B がスナップバックを起こし、上記電源 PAD 1 1 から上記 GND-PAD 1 2 に向かって大電流を流すことが可能な低インピーダンス状態になる。したがって、ESD サージ電流は、上記電源 PAD 1 1 からの電圧（V_{dd}）を上昇することなく放電され、上記半導体集積回路 2 0 を破壊することはない。

【0079】

次に、通常動作（非保護動作）時の、上記ESD保護回路30Bの動作について説明する。上記電源PAD11からの電圧（V_{dd}）に変化のない状態では、上記CR積分回路31の中間ノードは、上記抵抗素子31aの働きによって電圧V_{dd}になる。そのため、上記トリガー回路32'の出力はV_{dd}電位となる。したがって、上記PNPトランジスタ33aはオフとなる。この場合、上記PMOSTランジスタ33dもオフのままとなるため、スナップバックを起こすためのフィードバックループが遮断される。すなわち、上記サイリスタ部33Bはカットオフした状態となる。

【0080】

上記したように、この第2の実施形態の場合も、通常動作時には上記サイリスタ部33Bはラッチアップしない。つまり、スナップバック後の電圧の極小値V_hが最大保証電源電圧V_{ddmax}よりも大きくなければならない（V_h>V_{ddmax}）という制約は必要ない。したがって、上述した第1の実施形態の場合と同様に、素子の幅あるいは必要挿入数を大幅に削減できる。

【0081】

[第3の実施形態]

図7は、この発明の第3の実施形態にしたがった、ESD保護回路の構成例を示すものである。ここでは、同一基板上に保護対象となる半導体集積回路（たとえば、MOS集積回路）とともに集積化されて、上記半導体集積回路のゲート酸化膜を保護する保護回路として用いられる、ACトリガー切断型サイリスタを例に説明する。なお、図6と同一部分には同一符号を付し、詳しい説明は割愛する。

【0082】

この第3の実施形態は、たとえば図7に示すように、通常動作時には、CR微分回路31'の出力により制御されるNMOSTランジスタ33eによって、PNPトランジスタ33aのコレクタと上記NPNトランジスタ33bのベースとを結ぶ第1の電流経路を電氣的に遮断するように構成したものである。この例の場合も、上述した第2の実施形態の場合と同様に、CMOSインバータを2段にしてトリガー回路32'が構成されるとともに、本例では、その出力端がサイリスタ部33Cの上記NPNトランジスタ33bのベースに接続されている。

【0083】

すなわち、このESD保護回路30Cの場合、たとえばCR微分回路31'は、上記電源PAD11と上記GND-PAD12との間に、上記容量素子（C）31bと上記抵抗素子（R）31aとが直列に接続された構成とされている。そして、上記容量素子31bと上記抵抗素子31aとの接続点である、上記CR微分回路31'の出力端（中間端子）は、上記トリガー回路32'の入力端、および、スイッチング用のNMOSTランジスタ33eのゲート電極に接続されている。

【0084】

一方、上記サイリスタ部33Cは、たとえば、上記PNPトランジスタ33aのコレクタから上記NPNトランジスタ33bのベースに至る第1の経路（第1の接続配線）と、これとは別の、上記PNPトランジスタ33aのベースから上記NPNトランジスタ33bのコレクタに至る第2の経路（第2の接続配線）とを有し、上記第1の経路に上記スイッチング用のNMOSTランジスタ33eが挿入されている。そして、上記トリガー回路32'の出力端が、上記サイリスタ部33Cの上記NPNトランジスタ33bのベース、上記抵抗素子33cの一端、および、上記NMOSTランジスタ33eのドレインに接続されている。

【0085】

以下に、図7を参照して、上記した構成のESD保護回路30Cの動作について説明する。まず、ESDサージ電圧が印加された際の動作（保護動作）について説明する。たとえば、上記電源PAD11および上記GND-PAD12間に、正のESDサージ電圧が印加されたとする。すると、上記トリガー回路32'および上記サイリスタ部33Cは、上記電源PAD11からの電圧（V_{dd}）の供給によって動作状態となる。上記CR微分

回路 31' の出力 (中間ノード) は、上記容量素子 31b の働きによって Vdd 電位に保持される。これにより、上記 NMOS トランジスタ 33e のゲート電圧が Vdd 電位となって、上記 NMOS トランジスタ 33e がオンする。

【0086】

一方、上記トリガー回路 32' の出力は入力と同じ Vdd 電位となり、上記 NPN トランジスタ 33b のベース-エミッタ接合部に、上記電源 PAD11 からの電流が流入される。その結果、上記 NPN トランジスタ 33b がオン状態になる。すなわち、上記 NPN トランジスタ 33b にコレクタ電流が流れる。すると、上記 PNP トランジスタ 33a のベースに電流が流れ、上記 PNP トランジスタ 33a はオン状態になる。この PNP トランジスタ 33a のコレクタ電流は、上記 NMOS トランジスタ 33e を介して、上記 NPN トランジスタ 33b のベース電流を供給する。これにより、ポジティブなフィードバックループが形成される。そのため、上記サイリスタ部 33C がスナップバックを起こし、上記電源 PAD11 から上記 GND-PAD12 に向かって大電流を流すことが可能な低インピーダンス状態になる。したがって、ESD サージ電流は、上記電源 PAD11 からの電圧 (Vdd) を上昇することなく放電され、上記半導体集積回路 20 を破壊することはない。

【0087】

次に、通常動作 (非保護動作) 時の、上記 ESD 保護回路 30C の動作について説明する。上記電源 PAD11 からの電圧 (Vdd) に変化のない状態では、上記 CR 微分回路 31' の中間ノードは、上記抵抗素子 31a の働きによって GND 電位 (0V) になる。そのため、上記トリガー回路 32' の出力は GND 電位となる。したがって、上記 NPN トランジスタ 33b はオフとなる。この場合、上記 PNP トランジスタ 33a のベース電流が供給されないため、この PNP トランジスタ 33a にも電流は流れない。さらに、上記 NMOS トランジスタ 33e もオフのままとなるため、スナップバックを起こすためのフィードバックループが遮断される。すなわち、上記サイリスタ部 33C はカットオフした状態となる。

【0088】

上記したように、この第3の実施形態の場合も、通常動作時には上記サイリスタ部 33C はラッチアップしない。つまり、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} よりも大きくなければならない ($V_h > V_{ddmax}$) という制約は必要ない。したがって、上述した第1および第2の実施形態の場合と同様に、素子の幅あるいは必要挿入数を大幅に削減できる。

【0089】

しかも、一般に NMOS トランジスタの電流駆動力は、PMOS トランジスタよりも2倍程度も大きい。よって、第1および第2の実施形態に比べ、スイッチング素子を 1/2 程度の大きさにまで縮小できる。

【0090】

[第4の実施形態]

図8は、この発明の第4の実施形態にしたがった、ESD 保護回路の構成例を示すものである。ここでは、同一基板上に保護対象となる半導体集積回路 (たとえば、MOS 集積回路) とともに集積化されて、上記半導体集積回路のゲート酸化膜を保護する保護回路として用いられる、AC トリガー切断型サイリスタを例に説明する。なお、図7と同一部分には同一符号を付し、詳しい説明は割愛する。

【0091】

この第4の実施形態は、たとえば図8に示すように、通常動作時には、CR 微分回路 31' の出力により制御される NMOS トランジスタ 33e によって、PNP トランジスタ 33a のコレクタと上記 NPN トランジスタ 33b のベースとを結ぶ第1の電流経路を電氣的に遮断するように構成したものである。この例の場合、上述した第1の実施形態の場合と同様に、CMOS インバータを1段にしてトリガー回路 32 が構成されるとともに、本例では、その出力端がサイリスタ部 33D の上記 PNP トランジスタ 33a のベースに

接続されている。

【0092】

すなわち、このESD保護回路30Dの場合、たとえばCR微分回路31'は、上記電源PAD11と上記GND-PAD12との間に、上記容量素子(C)31bと上記抵抗素子(R)31aとが直列に接続された構成とされている。そして、上記容量素子31bと上記抵抗素子31aとの接続点である、上記CR微分回路31'の出力端(中間端子)は、上記トリガー回路32の入力端、および、スイッチング用のNMOSトランジスタ33eのゲート電極に接続されている。

【0093】

一方、上記サイリスタ部33Dは、たとえば、上記PNPトランジスタ33aのコレクタから上記NPNトランジスタ33bのベースに至る第1の経路(第1の接続配線)と、これとは別の、上記PNPトランジスタ33aのベースから上記NPNトランジスタ33bのコレクタに至る第2の経路(第2の接続配線)とを有し、上記第1の経路に上記スイッチング用のNMOSトランジスタ33eが挿入されている。そして、上記トリガー回路32の出力端が、上記サイリスタ部33Dの上記PNPトランジスタ33aのベース、および、上記NPNトランジスタ33bのコレクタに接続されている。

【0094】

以下に、図8を参照して、上記した構成のESD保護回路30Dの動作について説明する。まず、ESDサージ電圧が印加された際の動作(保護動作)について説明する。たとえば、上記電源PAD11および上記GND-PAD12間に、正のESDサージ電圧が印加されたとする。すると、上記トリガー回路32および上記サイリスタ部33Dは、上記電源PAD11からの電圧(Vdd)の供給によって動作状態となる。上記CR微分回路31'の出力(中間ノード)は、上記容量素子31bの働きによってVdd電位に保持される。これにより、上記NMOSトランジスタ33eのゲート電圧がVdd電位となって、上記NMOSトランジスタ33eがオンする。その結果、従来例と同様のメカニズムによって、ポジティブなフィードバックループが形成される。

【0095】

つまり、上記トリガー回路32のNMOSトランジスタ32bが導通状態となって、上記サイリスタ部33DのPNPトランジスタ33aのベース-エミッタ接合部に、上記電源PAD11からの電流が流入される。その結果、上記PNPトランジスタ33aがオン状態になる。すなわち、上記PNPトランジスタ33aにコレクタ電流が流れる。すると、上記NMOSトランジスタ33eを介して、上記NPNトランジスタ33bのベースに電流が流れ、上記NPNトランジスタ33bはオン状態になる。このNPNトランジスタ33bのコレクタ電流は、上記PNPトランジスタ33aのベース電流を供給する。これにより、ポジティブなフィードバックループが形成される。そのため、上記サイリスタ部33Dがスナップバックを起こし、上記電源PAD11から上記GND-PAD12に向かって大電流を流すことが可能な低インピーダンス状態になる。したがって、ESDサージ電流は、上記電源PAD11からの電圧(Vdd)を上昇することなく放電され、上記半導体集積回路20を破壊することはない。

【0096】

次に、通常動作(非保護動作)時の、上記ESD保護回路30Dの動作について説明する。上記電源PAD11からの電圧(Vdd)に変化のない状態では、上記CR微分回路31'の中間ノードは、上記抵抗素子31aの働きによってGND電位(0V)になる。そのため、上記トリガー回路32の出力はGND電位となる。したがって、上記NPNトランジスタ33bはオフとなる。この場合、上記PNPトランジスタ33aのベース電流が供給されないため、上記PNPトランジスタ33aにも電流は流れない。さらに、上記NMOSトランジスタ33eもオフのままとなるため、スナップバックを起こすためのフィードバックループが遮断される。すなわち、上記サイリスタ部33Dはカットオフした状態となる。

【0097】

上記したように、この第4の実施形態の場合も、通常動作時には上記サイリスタ部33Dはラッチアップしない。つまり、スナップバック後の電圧の極小値 V_h が最大保証電源電圧 V_{ddmax} よりも大きくなければならない($V_h > V_{ddmax}$)という制約は必要ない。したがって、上述した第1、第2および第3の実施形態の場合と同様に、素子の幅あるいは必要挿入数を大幅に削減できる。

【0098】

しかも、一般にNMOSトランジスタの電流駆動力は、PMOSトランジスタよりも2倍程度も大きい。よって、第1および第2の実施形態に比べ、スイッチング素子を1/2程度の大きさにまで縮小できる。

【0099】

以上、詳述したように各実施形態によれば、通常動作時にサイリスタがラッチアップするのを回避できるようになる。これにより、スナップバック後の電圧の極小値 V_h を電源電圧(V_{dd})以下とすることが可能となる。その結果、ESD保護回路におけるスナップバック後の導通状態時のオン抵抗(要求抵抗値) R_{on} と配線抵抗($R_1 + R_2$)との和に許容される値が大きくなる。したがって、集積回路装置に占めるESD保護回路の面積またはESD保護回路の挿入数を削減できる。

【0100】

しかも、サイリスタのラッチアップのオン・オフおよびトリガー動作の両方を、少ない回路素子数ならびに比較的単純な回路構成によって実現できる。

【0101】

特に、NPNトランジスタはHFEが高いので、スナップバック後の電圧の極小値 V_h を小さくすることができる。したがって、集積回路装置に占めるESD保護回路の面積またはESD保護回路の挿入数を、さらに削減できる。

【0102】

なお、上記した各実施形態においては、いずれも、PNPトランジスタ33aのコレクタからNPNトランジスタ33bのベースに至る第1の経路(第1の接続配線)に、スイッチング用のMOSトランジスタを挿入するようにした場合を例に説明した。これに限らず、たとえば、PNPトランジスタ33aのベースからNPNトランジスタ33bのコレクタに至る第2の経路(第2の接続配線)に、スイッチング用のMOSトランジスタを挿入することによっても、同様に実施することが可能である。

【0103】

その他、本願発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも1つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも1つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0104】

【図1】本発明の第1の実施形態にしたがった、ESD保護回路の構成例を示す回路図。

【図2】図1に示したESD保護回路の、サイリスタ部の素子構造の一例を示す断面図。

【図3】図1に示したESD保護回路の、大電流領域のI-V特性を示す図。

【図4】図1に示したESD保護回路の、サイリスタ部の素子構造の他の例を示す断面図。

【図5】図1に示したESD保護回路の、サイリスタ部の素子構造のさらに別の例を示す断面図。

【図 6】 本発明の第 2 の実施形態にしたがった、ESD 保護回路の構成例を示す回路図。

【図 7】 本発明の第 3 の実施形態にしたがった、ESD 保護回路の構成例を示す回路図。

【図 8】 本発明の第 4 の実施形態にしたがった、ESD 保護回路の構成例を示す回路図。

【図 9】 従来技術とその問題点を説明するために、集積回路装置の基本構成を示す図。

【図 10】 従来の ESD 保護回路の構成例を示す回路図。

【図 11】 図 10 に示した ESD 保護回路の、サイリスタ部の素子構造の一例を示す断面図。

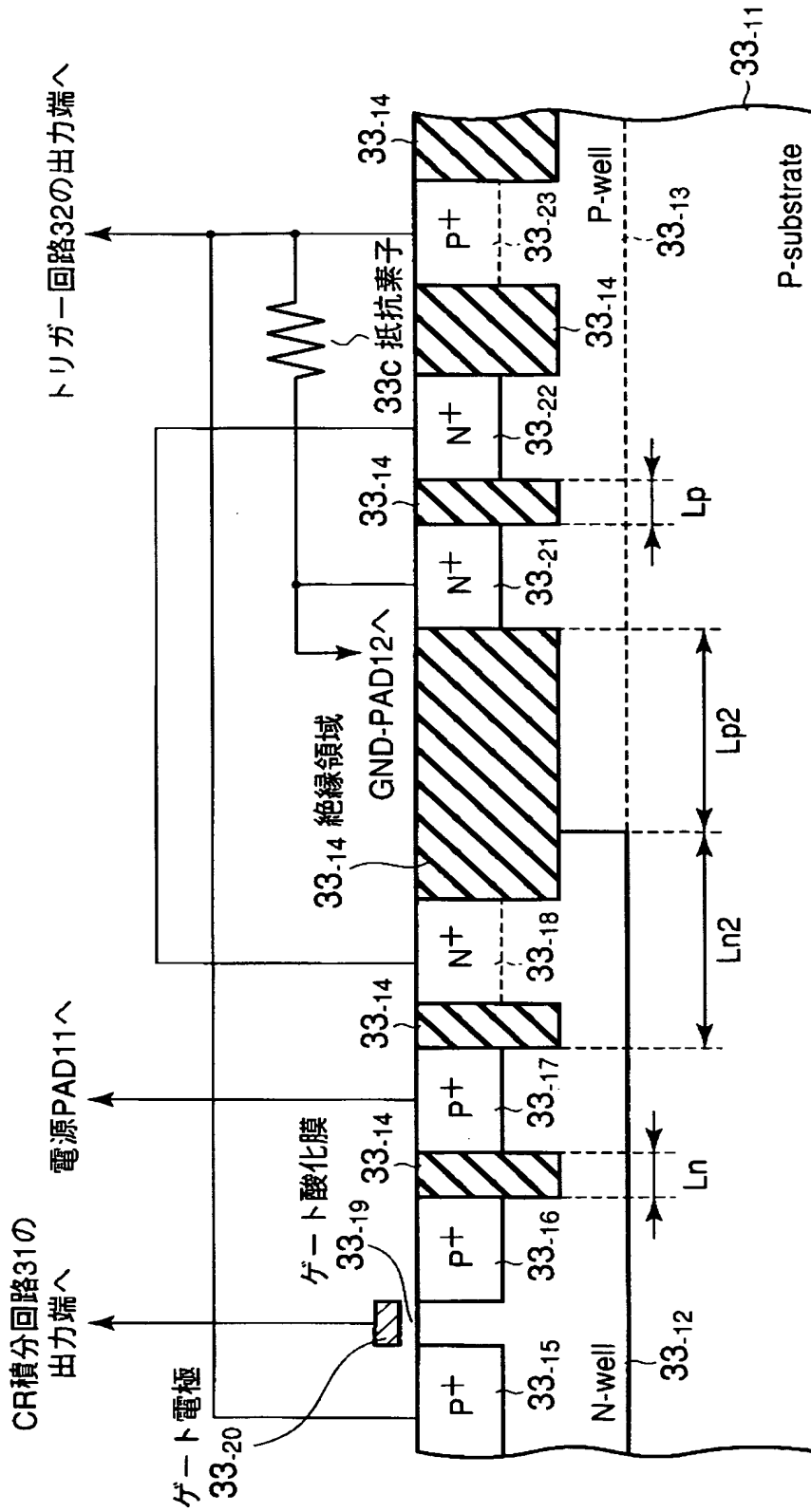
【図 12】 図 10 に示した ESD 保護回路の、大電流領域の I-V 特性を示す図。

【符号の説明】

【0105】

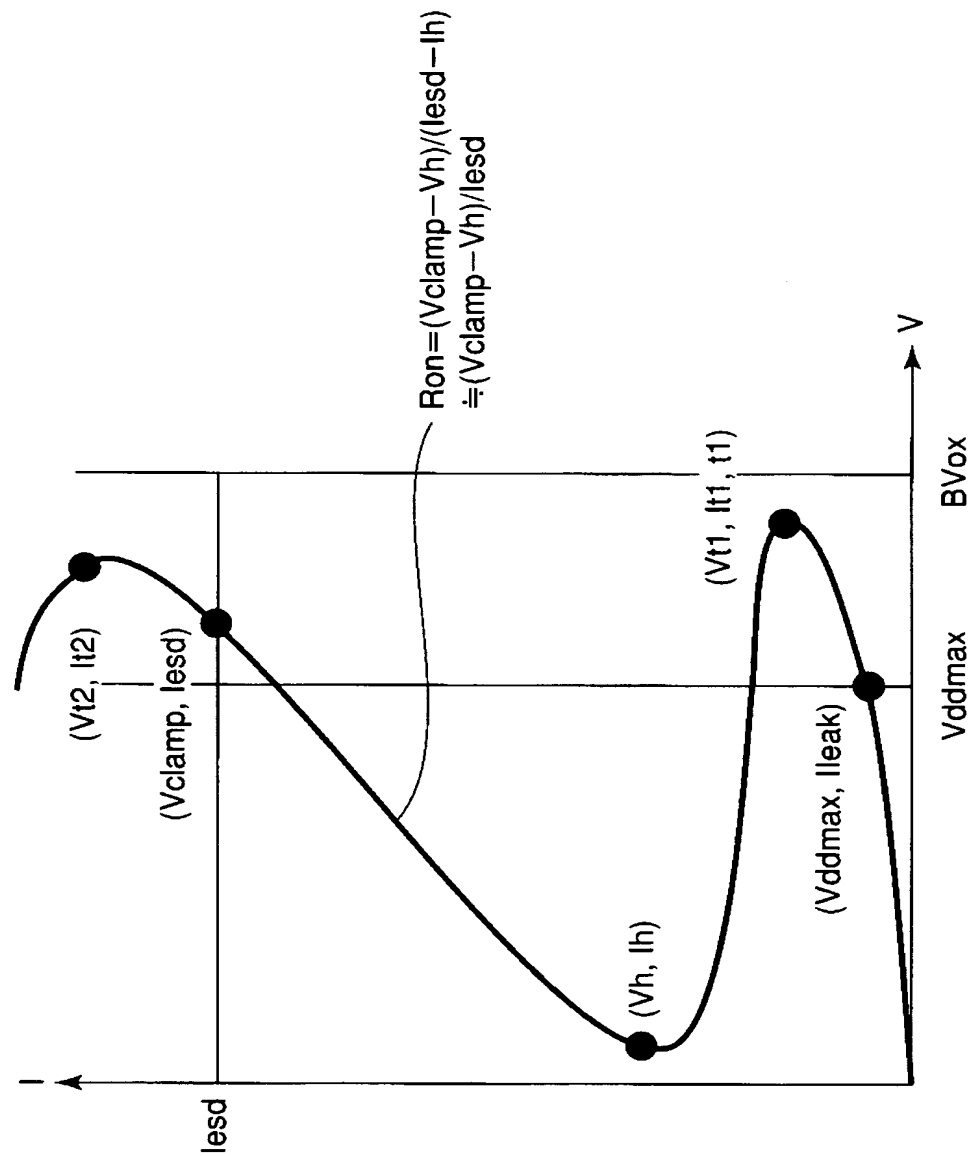
11…電源 PAD、12…GND-PAD、20…半導体集積回路、30, 30A, 30B, 30C, 30D…ESD 保護回路、31…CR 積分回路、31'…CR 微分回路、31a…抵抗素子 (R)、31b…容量素子 (C)、32, 32'…トリガー回路、32a, 32a-1, 32a-2…PMOS トランジスタ、32b, 32b-1, 32b-2…NMOS トランジスタ、33A, 33A', 33A'', 33B, 33C, 33D…サイリスタ部、33a…PNP トランジスタ、33b…NPN トランジスタ、33c…抵抗素子、33d…PMOS トランジスタ (スイッチング素子)、33e…NMOS トランジスタ (スイッチング素子)、33-11…P 型半導体基板、33-12…N-well 領域、33-13…P-well 領域、33-14…素子分離用絶縁領域、33-15, 33-16, 33-17, 33-23…P⁺ 層、33-18, 33-21, 33-22…N⁺ 層、33-19, 33-31…ゲート酸化膜、33-20, 33-32…ゲート電極、33-41…深い N-well 領域、40…保護ダイオード、R1…電源配線抵抗、R2…グランド配線抵抗、Ln, Lp…ベース長。

【図 2】

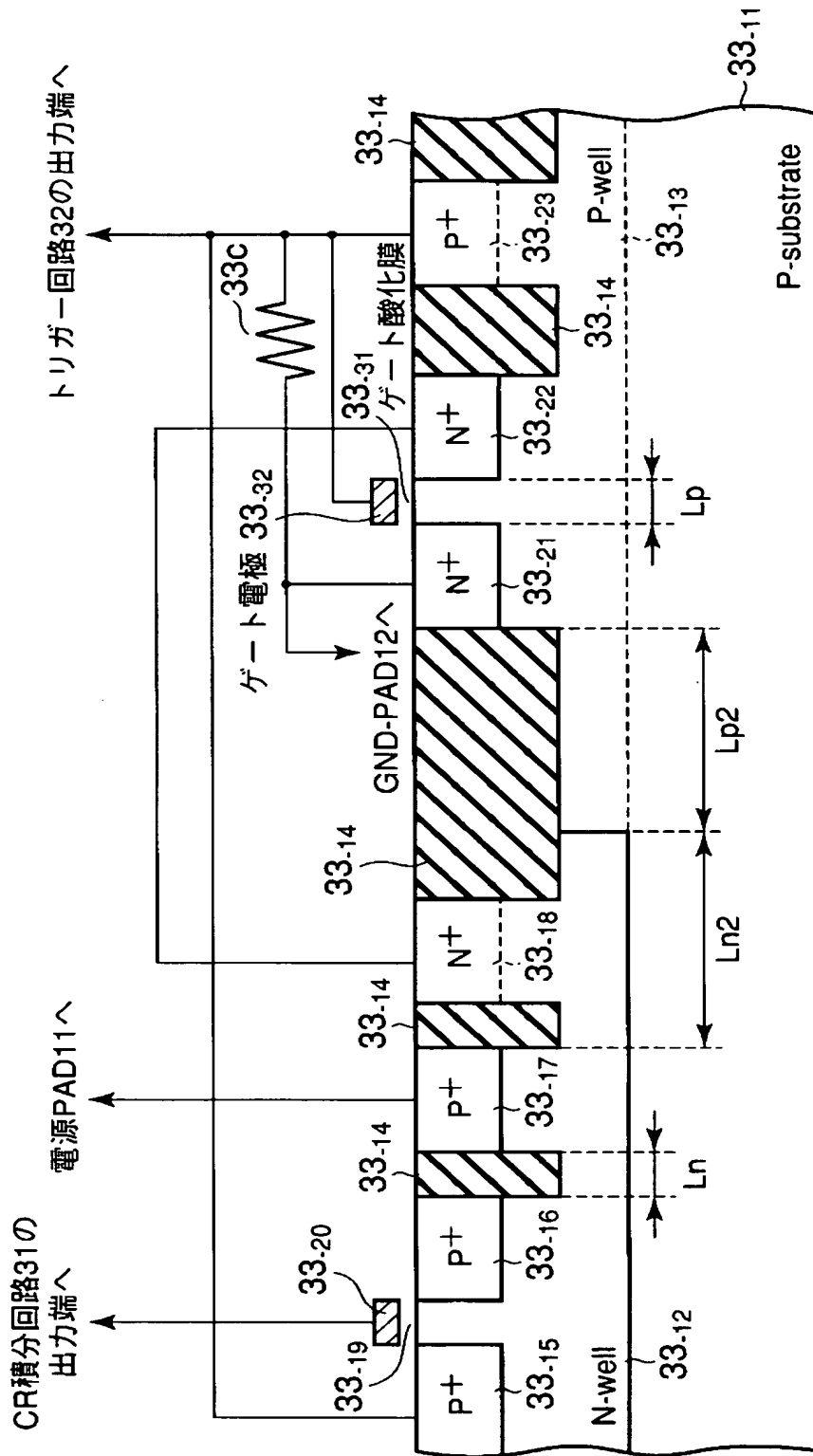


33A

【図 3】

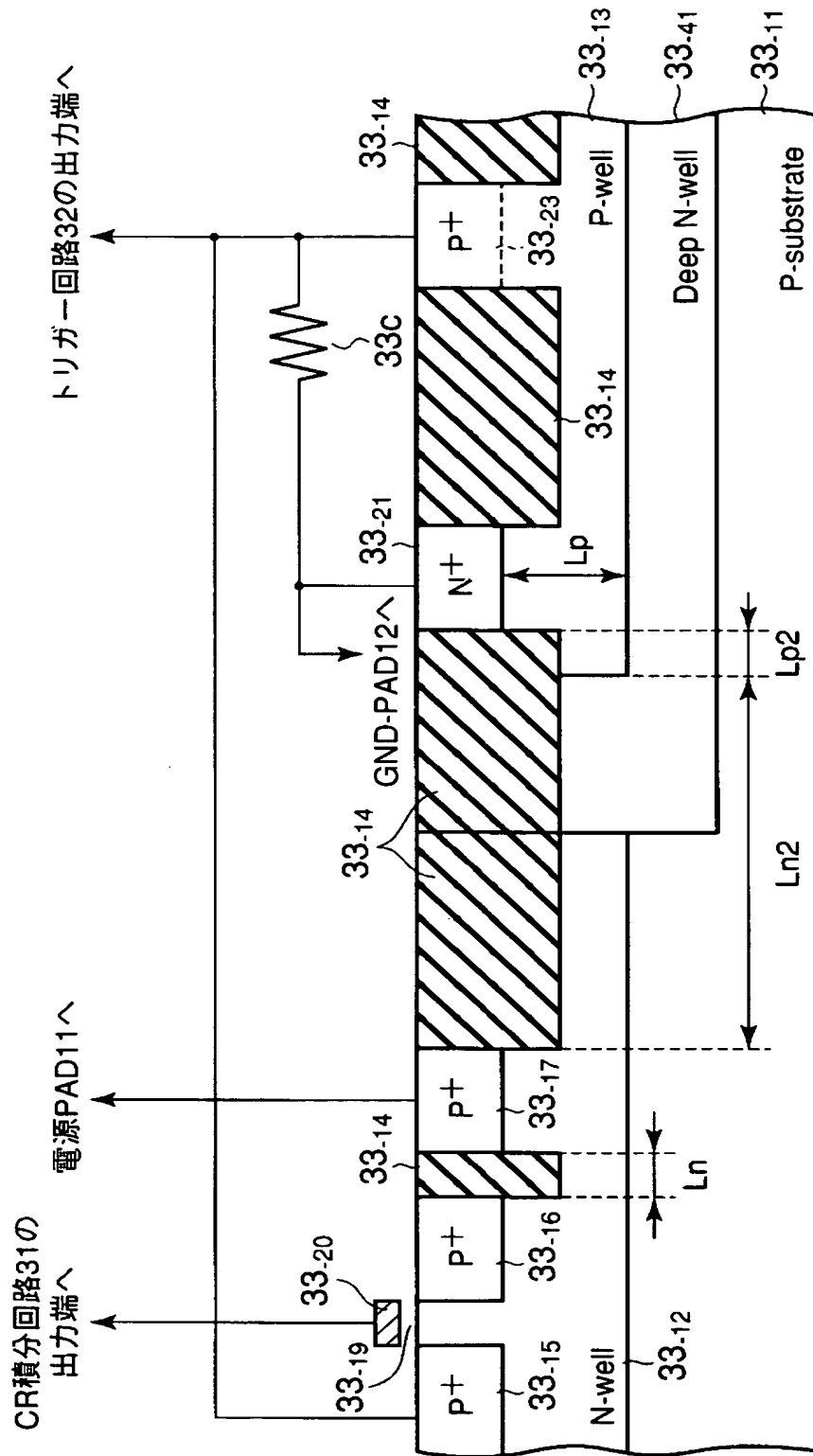


【図 4】

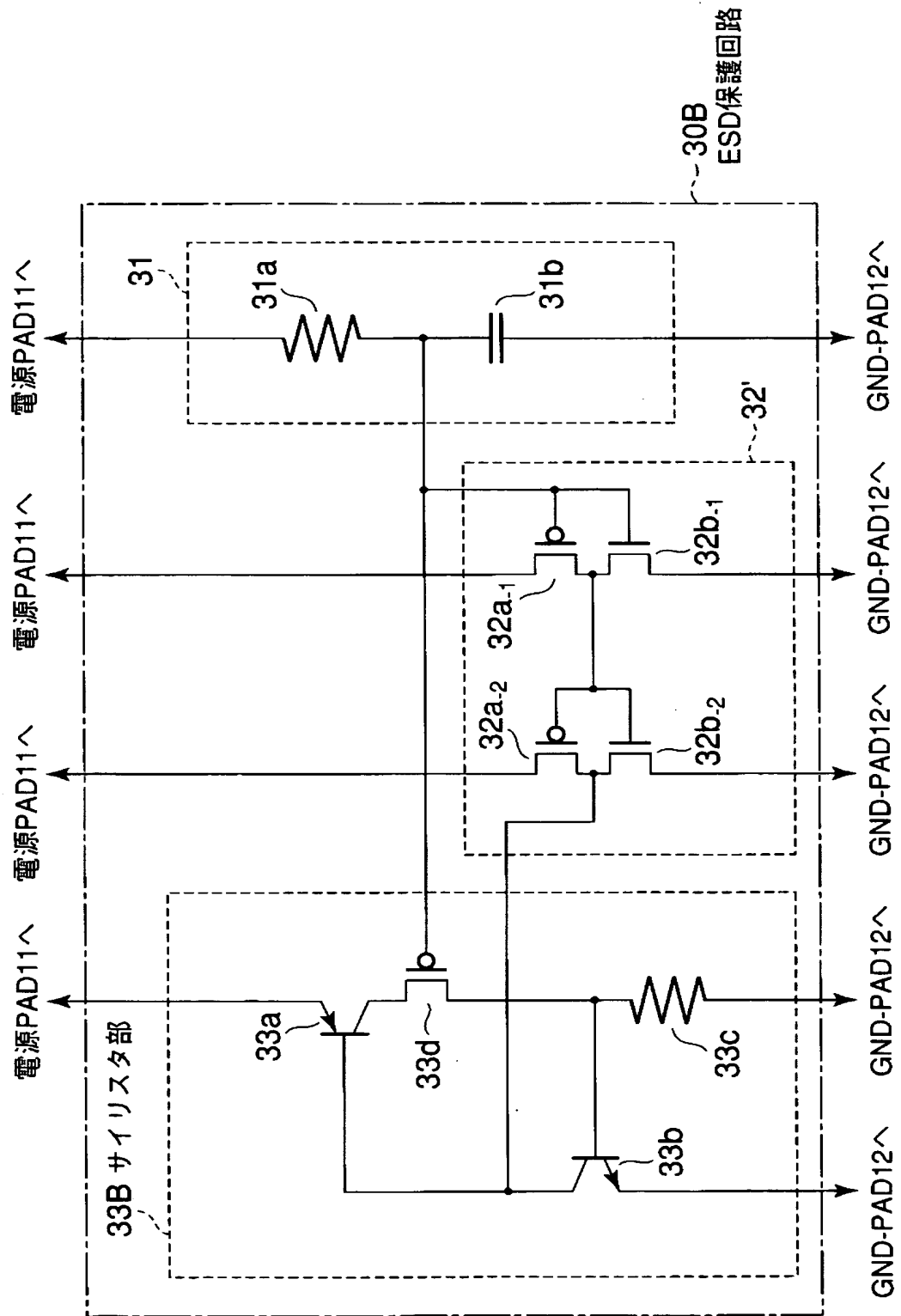


33A'

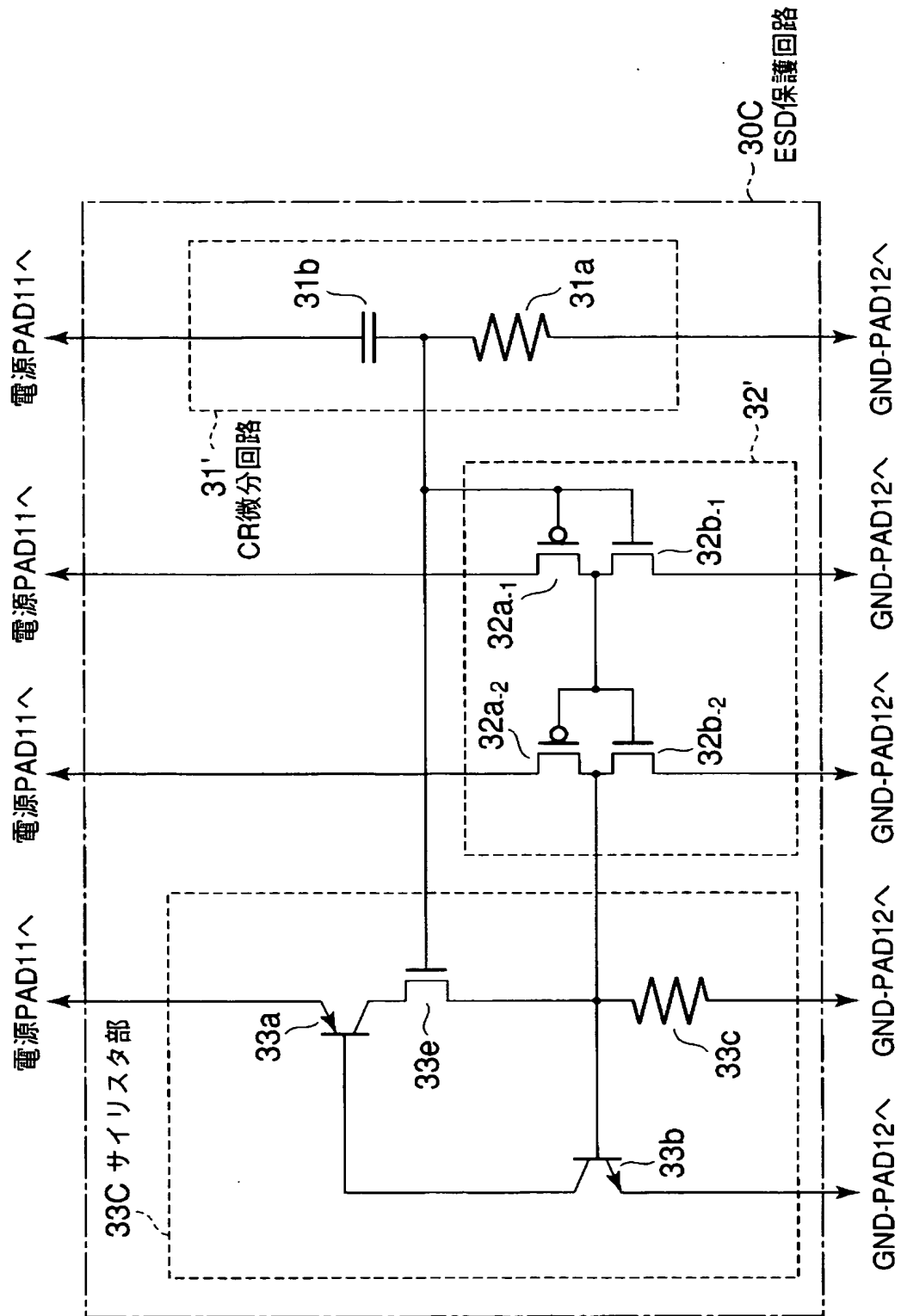
【図 5】



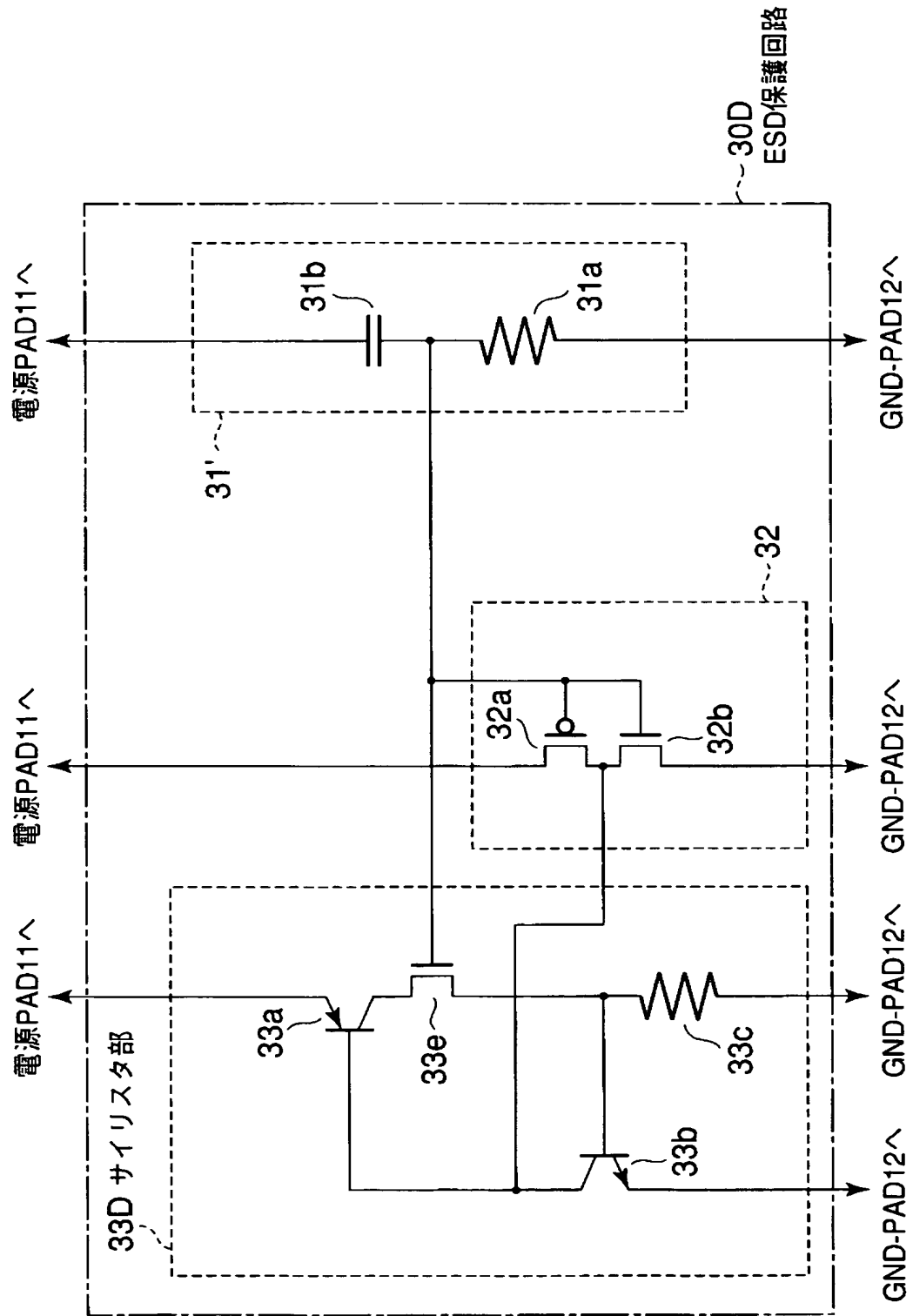
【図 6】



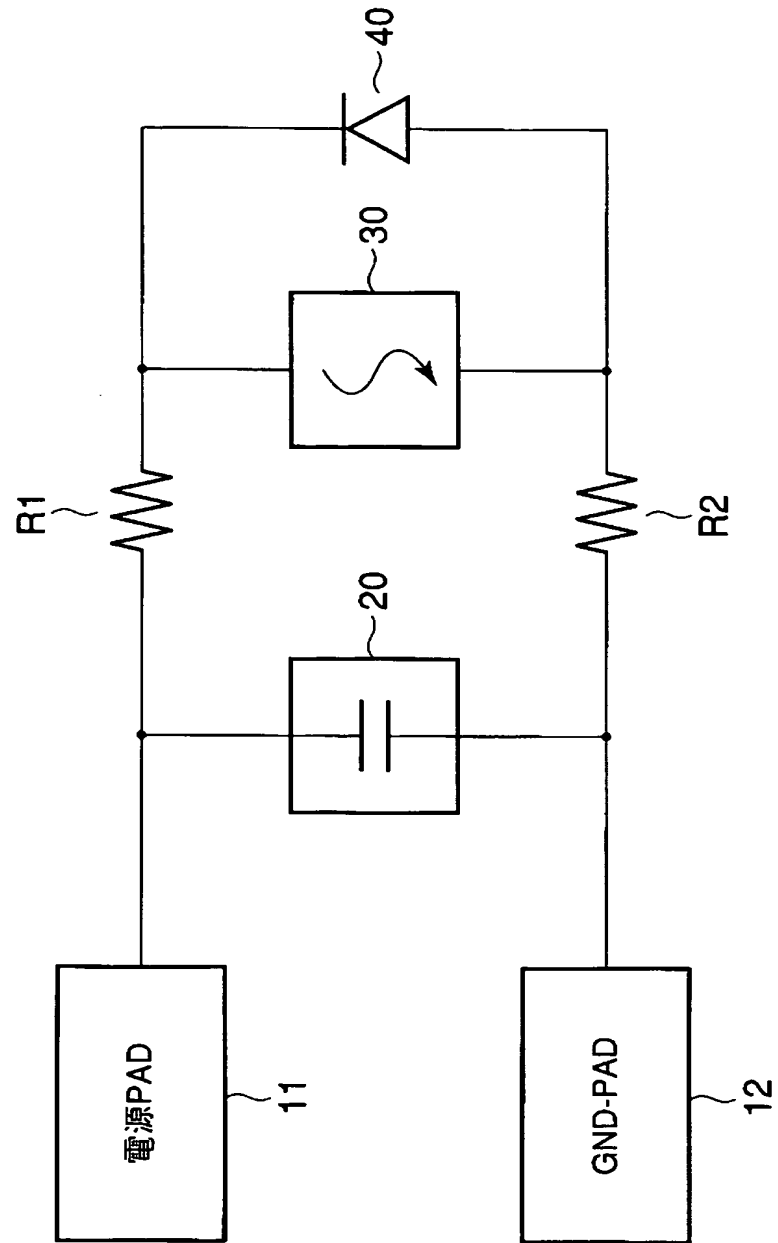
【図 7】



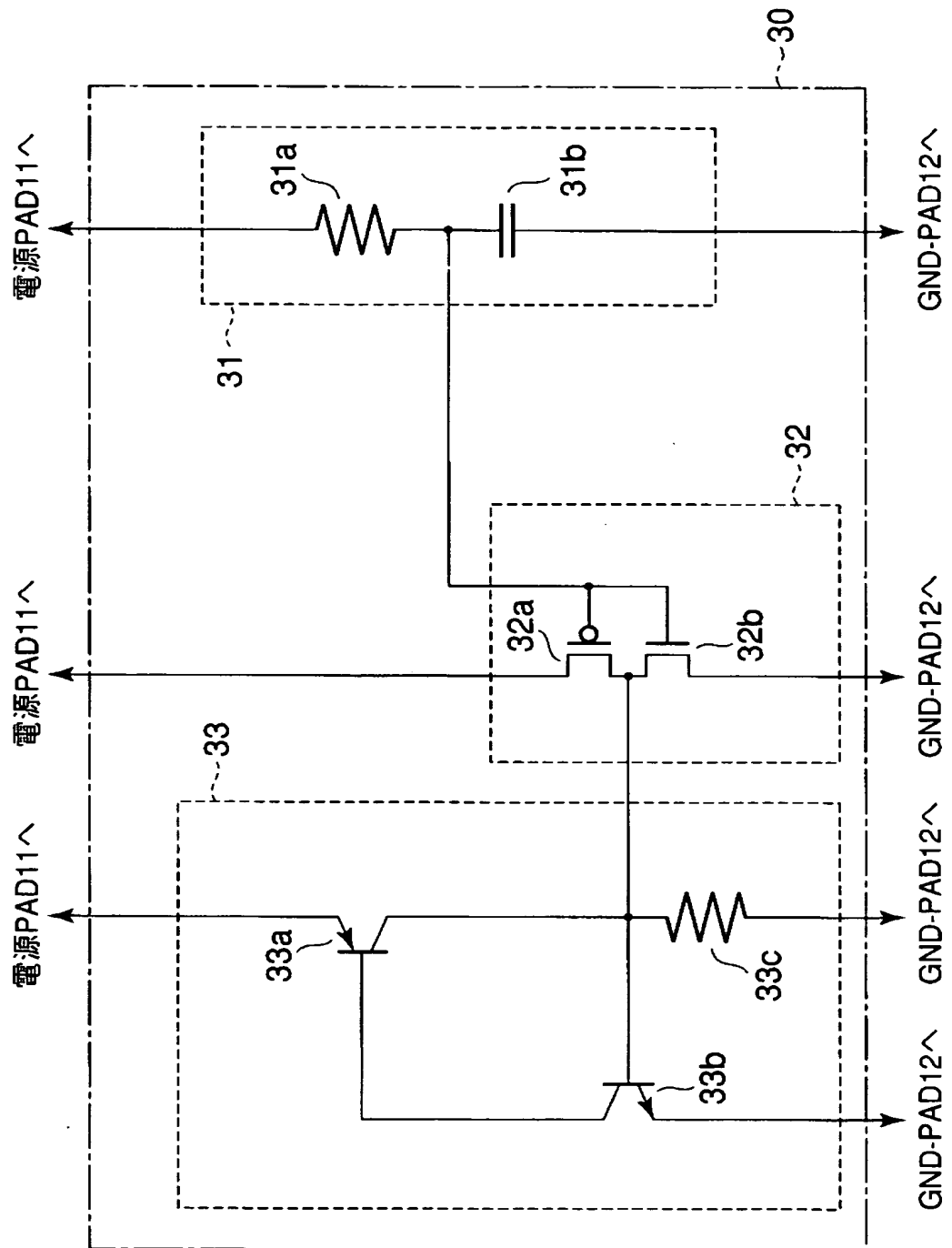
【図 8】



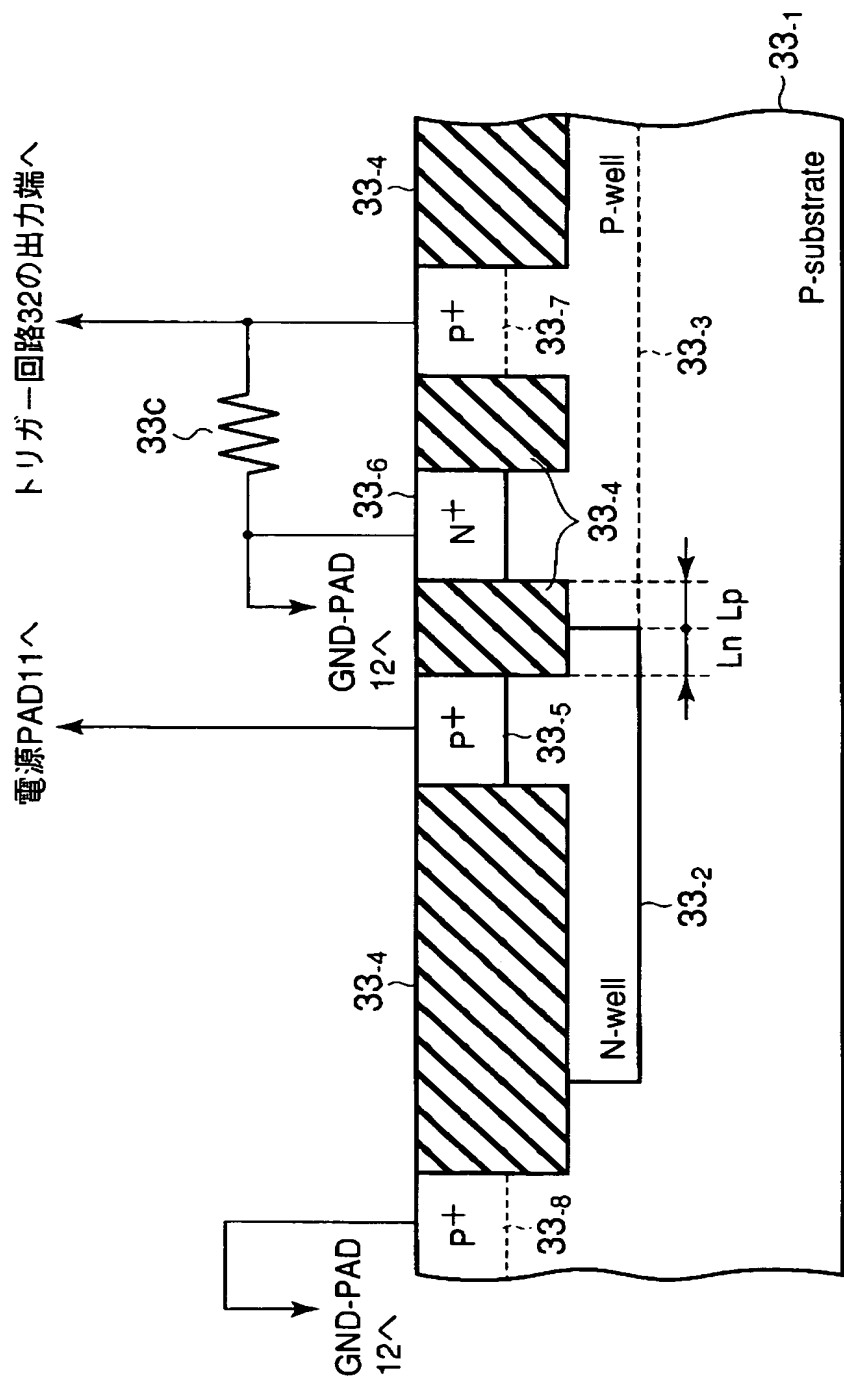
【図 9】



【図 10】

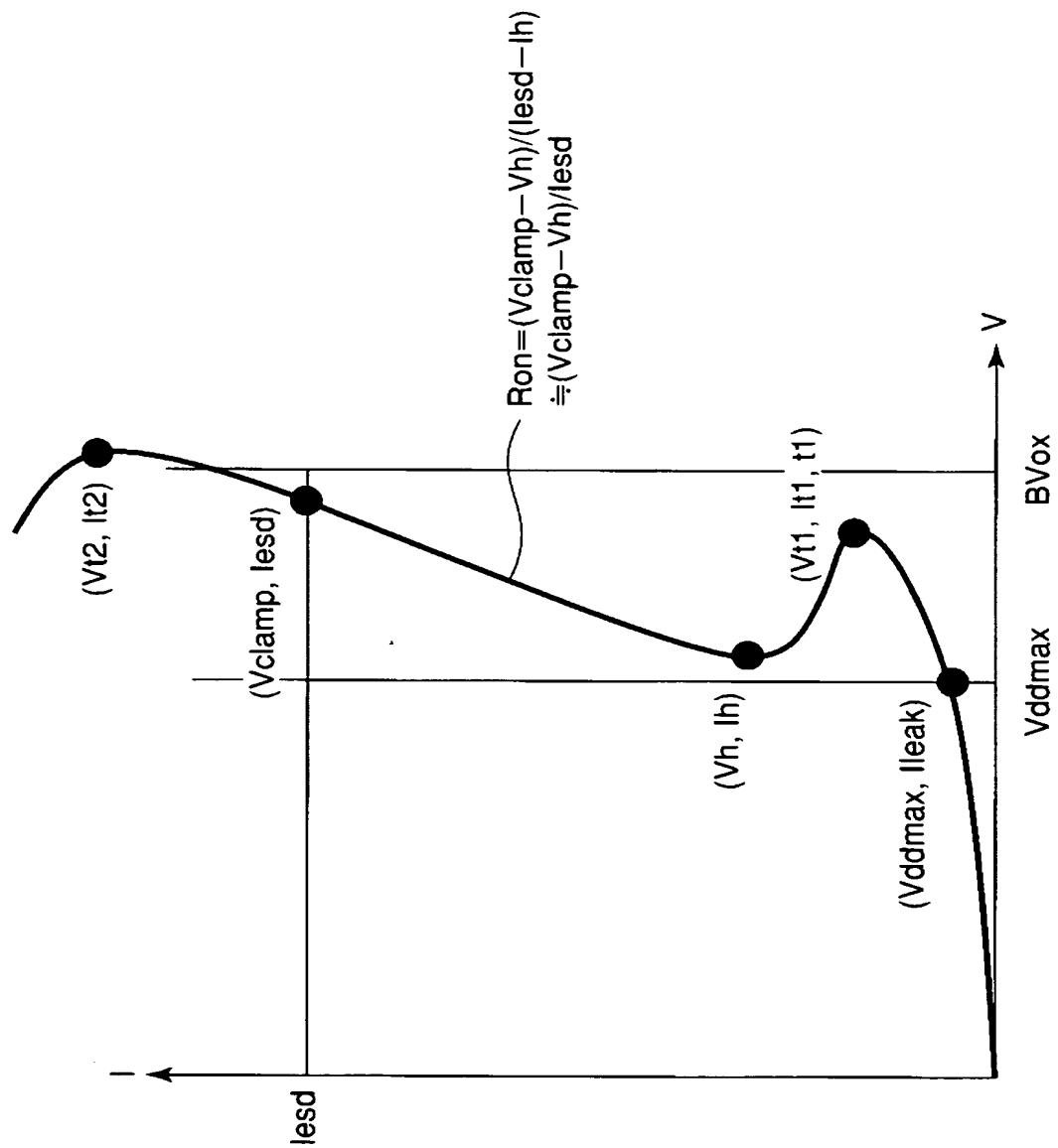


【図 11】



33

【図 12】



【書類名】 要約書**【要約】**

【課題】 本発明は、E S D 保護回路を備えた集積回路装置において、サイリスタの設計上の制約を緩和でき、E S D 保護回路の集積回路装置に占める面積を削減できるようにすることを最も主要な特徴としている。

【解決手段】 たとえば、電源 P A D 1 1 からの電源電圧に変化のない状態では、C R 積分回路 3 1 の中間ノードが、抵抗素子 3 1 a の働きによって V d d 電位になる。これにより、P M O S トランジスタ 3 3 d がオフ状態となる。その結果、通常動作時には、スナップバックを起こすためのフィードバックループが遮断され、常に、サイリスタ部 3 3 A はカットオフした状態となるように構成されている。

【選択図】 図 1

特願 2 0 0 3 - 3 7 8 6 3 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝